

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-103171

(43)Date of publication of application : 13.04.1999

(51)Int.Cl.

H05K 3/46
C23C 18/31

(21)Application number : 10-179980

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.06.1998

(72)Inventor : ITABASHI TAKESHI
AKABOSHI HARUO

(30)Priority

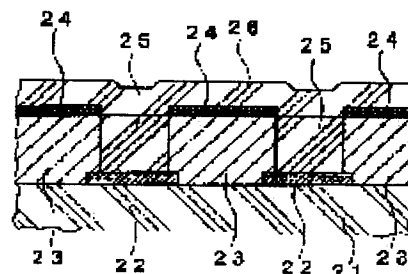
Priority number : 09201399
09201408Priority date : 28.07.1997
28.07.1997Priority country : JP
JP

(54) WIRING BOARD AND ITS MANUFACTURE AS WELL AS ELECTROLESS PLATING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To confirm a via hole from the surface of a board and to easily form the board to be multilayer, by a method wherein the surface state of a fourth conductor is formed to be different on a second conductor and on a third conductor or the surface state of the third conductor is formed to be different from the surface state of the fourth conductor.

SOLUTION: In a wiring board, a via hole is formed in an insulating layer 23 on an insulating board 21 having a first conductor 22. While a potential which is nobler than a plating reaction potential is being applied to a second conductor 24 on the insulating layer 23, an electroless plating reaction is made to progress while the first conductor 22 at the bottom part of the via hole is used as a starting point. As a result, the bottom part of the via hole is filled with a plating metal, a third conductor 25 is formed, and a fourth conductor 26 is formed on it. Consequently, when the wiring board is observed from its surface, a slight uneven part is detected on the surface of the fourth conductor 26 formed on the surface of the insulating layer 23. The uneven part corresponds to a via hole part in the third conductor 25, and it can be aligned with a mask for patterning of a conductor layer.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-103171

(43)公開日 平成11年(1999) 4月13日

(51)Int.Cl.⁸
H 0 5 K 3/46
C 2 3 C 18/31

識別記号

F I
H 0 5 K 3/46 N
E
C 2 3 C 18/31 A

審査請求 未請求 請求項の数12 O L (全 18 頁)

(21)出願番号 特願平10-179980

(22)出願日 平成10年(1998) 6月26日

(31)優先権主張番号 特願平9-201399

(32)優先日 平 9 (1997) 7月28日

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平9-201408

(32)優先日 平 9 (1997) 7月28日

(33)優先権主張国 日本 (J P)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 板橋 武之

茨城県日立市大みか町七丁目 1 番 1 号 株

式会社日立製作所日立研究所内

(72)発明者 赤星 晴夫

茨城県日立市大みか町七丁目 1 番 1 号 株

式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

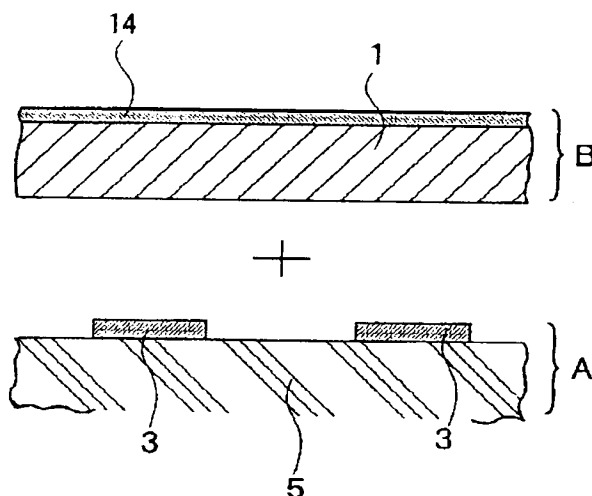
(54)【発明の名称】 配線板及びその製造方法並びに無電解めっき方法

(57)【要約】

【課題】無電解めっきによるビアホール1の充填を再現性良く均一に制御し、第2の導体層を形成後、基板表面からビアホール部分が確認できる配線板及びその製造方法と無電解めっき方法を提供する。

【解決手段】本発明は、無電解めっきによるビアホール充填時に、表面導体に無電解めっき電位よりも貴な電位を印加することにより得られる特定の配線板及びその方法にある。本発明の配線板はビアホール部分で第4の導体と表面状態が異なり、また凹みが形成され、光学的に識別可能なものが得られる。

図 7



【特許請求の範囲】

【請求項1】絶縁基板上に第1の導体が形成され、前記絶縁基板及び前記第1の導体上に絶縁層が形成され、前記絶縁層上に第2の導体が形成され、前記絶縁層には前記第1の導体と前記第2の導体を電気的に接続するためのビアホールが形成され、前記ビアホール内部が第3の導体によって充填された構造の導体接続部を有し、前記第2の導体表面と前記第3の導体層表面を覆う第4の導体を有する配線板において、前記第3の導体の表面状態が前記第2の導体上と前記第3の導体上とで異なること、あるいは前記第3の導体の表面状態が前記第4の導体の表面状態と異なることを特徴とする配線板。

【請求項2】絶縁基板上に第1の導体が形成され、前記絶縁基板及び前記第1の導体上に絶縁層が形成され、前記絶縁層上に第2の導体が形成され、前記絶縁層には前記第1の導体と前記第2の導体を電気的に接続するためのビアホールが形成され、前記ビアホール内部が第3の導体によって充填された構造の導体接続部を有し、前記第2の導体表面と前記第3の導体表面を覆う第4の導体を有する配線板において、前記第4の導体が前記第3の導体上で凹状に形成されていることを特徴とする配線板。

【請求項3】絶縁基板上に第1の導体が形成され、前記絶縁基板及び前記第1の導体上に絶縁層が形成され、前記絶縁層上に第2の導体が形成され、前記絶縁層には前記第1の導体と前記第2の導体を電気的に接続するためのビアホールが形成され、前記ビアホール内部が第3の導体によって充填された構造の導体接続部を有し、前記第2の導体表面と前記第3の導体表面を覆う第4の導体を有する配線板において、前記第3の導体の表面粗さよりも前記第4の導体の表面粗さの方が大きいことを特徴とする配線板。

【請求項4】絶縁基板上に第1の導体が形成され、前記絶縁基板及び前記第1の導体上に絶縁層が形成され、前記絶縁層上に第2の導体が形成され、前記絶縁層には前記第1の導体と前記第2の導体を電気的に接続するためのビアホールが形成され、前記ビアホール内部が第3の導体によって充填された構造の導体接続部を有し、前記第2の導体表面と第3の導体表面を覆う第4の導体層を有する配線板において、前記第3の導体が前記絶縁層の高さと同等の高さを有することを特徴とする配線板。

【請求項5】絶縁基板上に第1の導体を有し、前記絶縁基板及び前記第1の導体上に絶縁層を有し、前記絶縁層上に第2の導体を有し、前記第1の導体と前記第2の導体を電気的に接続するためのビアホールが前記絶縁層を貫通して形成されており、前記ビアホール内部に無電解めっきによって第3の導体層を充填する配線板の製造方法において、

前記無電解めっきの際に、前記第2の導体にめっき反応電位よりも貴な電位を印加することを特徴とする配線板の製造方法。

【請求項6】表面に第1の導体を有する絶縁基板上に絶縁層を形成する工程と、前記絶縁層上に第2の導体を形成する工程と、前記第2の導体層にパターニングを行う工程と、前記第2の導体をマスクとして前記第1の導体上の前記絶縁層にビアホールを形成する工程と、前記第2の導体にめっき反応電位よりも貴な電位を印加しながら前記ビアホールの底部にあたる前記第1の導体層上に無電解めっきにより前記ビアホール内部に金属を充填し、第3の導体層を形成する工程とを含むことを特徴とする配線板の製造方法。

【請求項7】表面に第1の導体層を有する絶縁基板上に、表面に第2の導体層を有するフィルム状の絶縁層を積層する工程と、前記第2の導体層にパターニングを行う工程と、前記第2の導体層をマスクとして前記第1の導体層上の前記絶縁層にビアホールを形成する工程と、前記第2の導体層にめっき反応電位よりも貴な電位を印加しながら前記ビアホールの底部にあたる前記第1の導体層上に無電解めっきにより前記ビアホール内部に金属を充填し、第3の導体層を形成する工程とを含むことを特徴とする配線板の製造方法。

【請求項8】被めっき体表面に第1の導体と該導体に対して電気的に絶縁された第2の導体が設けられた前記第1の導体の表面に導体を無電解めっきによって堆積させる無電解めっき方法において、前記第2の導体にめっき反応の電位より貴な電位を印加することを特徴とする無電解めっき方法。

【請求項9】被めっき体に設けられた穴又は溝の底面に第1の導体を有し、該第1の導体に対して電気的に絶縁された第2の導体が前記被めっき体の表面に有し、前記第1の導体の表面に導体を無電解めっきによって堆積させる無電解めっき方法において、前記第2の導体に外部電源によりめっき反応電位よりも貴な電位を印加しながら無電解めっき反応を行うことを特徴とする無電解めっき方法。

【請求項10】請求項8又は9に記載の無電解めっき方法において、前記第2の導体に印加する電位は、めっき反応の電位に対して+0.1～+1.5ボルトであることを特徴とする無電解めっき方法。

【請求項11】表面に微細配線パターンが形成された絶縁層が複数積層された多層薄膜配線基板と該配線基板の少なくとも一方の面に半導体素子が搭載されたモジュールにおいて、前記配線基板が請求項1～4のいずれかに記載の配線板よりなることを特徴とするモジュール。

【請求項12】プリント配線基板上に接続ピンを介して接続されたモジュール基板が搭載され、該モジュール基板上に表面に微細配線パターンが形成された絶縁層が複数積層された多層薄膜配線基板が搭載され、該配線基板

上に半導体素子が搭載されている大型計算機実装において、前記配線基板が請求項1～4のいずれかに記載の配線板よりなることを特徴とする大型計算機実装。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置などを搭載する新規な配線板その製造方法に関し、特に導体配線の層間接続に金属充填されたビアホールを有する配線板及びその形成方法に関するものである。

【0002】

【従来の技術】絶縁体に形成した穴内に金属を充填する技術は、LSI、薄膜多層基板、ビルドアップ基板等の高密度配線基板の層間接続技術に応用されている。LSIの層間接続では、めっき等のウエットメタライズではなく、スパッタあるいはCVD（化学気相成長法）といったドライメタライズ法を用いている。例えば、特開平6-168907号公報には、スパッタリング法によりアルミニウムをビア内部に充填する方法が開示されている。また、特開平8-31932号公報には、六フッ化タングステンガスのモノシラン還元CVD法、あるいは水素還元CVD法でコンタクトホール内にタングステンを充填する方法が開示されている。更に、特開平6-236879号公報には、有機銅化合物を原料とし、CVD法により銅の接続プラグを形成する方法が開示されている。

【0003】しかし、これらはいずれもドライメタライズ法であり、真空系を備えた装置で処理する方法であるため、装置コストが高く、またスループットが低いという問題がある。また、スパッタ法等のいわゆるPVD法（物理気相成長法）は、成膜の選択性がなく、基板全面に様に金属膜を形成させる方法であり、層間接続部のみをメタライズすることは不可能である。一方、CVD法で形成した膜は不純物を多く含み、純度が低いという問題がある。純度の低下は電気抵抗の増大や、信頼性の低下をもたらす、問題である。

【0004】薄膜多層基板やビルドアップ基板では、無電解めっきや電気めっき技術を用いて微小ビアホールを充填する方法も開示されているが、膜厚のコントロールが困難である。例えば特開平6-302965号公報では、ビアホールをめっきで充填している。しかしこの場合、めっき厚みのコントロールは非常に困難であるため、最終的に研磨を施している。また、特開平5-335713号公報にも電解あるいは無電解めっきによりビアホール内を充填する方法が開示されている。しかし、この方法では先ず無電解めっきによるビアホール充填は不可能である。無電解めっき反応はビアホール上層部の表側導体端面でも進行するため、時間と共にビアホール開口部が小さくなり塞がってしまうからである。この場合、ビアホール内部にはボイド状の空間が残り、基板の信頼性は著しく低下する。

【0005】また、電気めっきによる場合でも、ビアホ

ール底部よりめっきされてきた金属がビアホール上層部の表側導体端面に接触した瞬間、ビアホール上層部の表側導体端面からもめっき反応が進行し、ビアホール径が表側導体厚みの2倍以下の場合にはビアホール開口部は塞がってしまう。この場合もまた、ビアホール内部にはボイド状の空間が残り、基板の信頼性は著しく低下するため問題である。更に、ビアホール径が表側導体厚みの2倍以上の場合、ビアホール開口部が閉塞されることはないが、表側導体表面に達した時のめっき形状はビアホール内部をめっきしていたときの「円柱状」ではなく、「きのこ状」となってしまう。これはめっき反応が異方性を示さず、等方的に成長するためである。

【0006】

【発明が解決しようとする課題】上述したように、ドライメタライズ法で微小穴内に金属を充填する場合には、PVD法では選択性がなく研磨等の工程が必要になるため工程が複雑になり、また研磨時に基板にかかる応力が大きいため歩留まりが低下し、問題である。CVD法では原料に金属以外の元素を含む化合物を使用するため、得られる金属に不純物が多く含まれる。不純物濃度の上昇は、電気抵抗の増加や信頼性の低下等の特性低下をもたらす、問題である。ドライメタライズ法全体の問題としては、装置が真空系を有するため装置コストが高く、また、スループットが低いということがあげられる。

【0007】一方、ウエットメタライズ法で微小穴内を金属充填する場合には、上述のように電気めっき法と無電解めっき法があるが、電気めっき法では下地にめっきに必要な電流を供給するための給電層が必要である。電気めっき法の場合、第1の導電層は予めパターニングせず、給電層とすることが必要である。従って、ビアホール内をめっきにより充填した後、絶縁層を剥離し、第1の導電層のパターニングを行う。その後、再び絶縁層を形成し、平坦化及びビアホール充填金属の頭出しのために研磨を行う。この研磨工程は長時間を要し、また、基板にかかる応力が大きい歩留まりの低下をもたらす、問題である。

【0008】無電解めっき法を用いる場合には、めっき反応を第1の導体層表面のみから進行させ、ビアホール内をめっき金属で充填する。この場合、絶縁層表面の第2の導体層はビアホール充填後形成する必要がある。なぜならば、めっき時に第2の導体層が予めあると、第2の導体層表面からもめっき反応が進行し、ビアホール開口部が塞がってしまうためである。第1の導体層表面からめっき反応を進行させ、ビアホール内部をめっき金属で充填する場合には、めっき膜厚のコントロールが非常に困難である。めっき膜厚が少ない場合には断線になり、厚すぎる場合には表面の平坦性が損なわれ、多層化の際に問題となる。

【0009】従って、従来技術では、めっき膜厚の不足による断線を回避するため、めっき膜厚を若干多めに

し、絶縁層よりめっき金属を飛び出させ、その後、過剰なめっき部分を研磨し、表面を平坦化する方法でビアホール内部を金属充填してきた。しかし、この方法では上述のように研磨工程は長時間を要し、また、基板にかかる応力が大きいと歩留まりの低下をもたらす。

【0010】本発明の目的は、ビアホール内を金属充填した基板で多層化が容易に行えるように、基板表面から、ビアホール部分が確認できる配線板を提供することにある。

【0011】更に、本発明の第2の目的は、従来膜厚の制御が困難であった無電解めっきによるビアホール内への金属の充填を再現性良く均一に行うことのできる配線板の製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明においては、ビアホール内部を無電解めっきにより充填する際、表面導体層に無電解めっき反応の反応電位よりも貴な電位を印加しながらめっきを行う。無電解めっきはビアホール底部より上に向かって成長し、やがてビアホールを完全に充填する。ビアホールを充填しためっき金属が表面導体層に達したとき、表面導体層には外部電源によりめっき反応電位よりも貴な電位が印加されているため、無電解めっき反応は停止する。このようにして、すべてのビアホールで、めっき面が表面導体層に到達した時めっき反応を停止させることができ、従来非常に困難であっためっき膜厚を再現性良く一定にコントロールすることができる。

【0013】また、本発明の方法により製造された配線板は、めっき金属により充填されたビアホールと絶縁層の表面を共に覆う導体層を形成後においても、その導体層の表面を観察することによりビアホール部を認識することができる。

【0014】すなわち、本発明による配線板は、絶縁基板上に第1の導体層が形成され、絶縁基板及び第1の導体上に絶縁層が形成され、絶縁層上に第2の導体が形成され、絶縁層には第1の導体と第2の導体を電気的に接続するためのビアホールが形成され、ビアホール内部が第3の導体によって充填された構造の導体接続部を有し、第2の導体表面と第3の導体表面を共に覆う第4の導体を有する配線板において、第4の導体の表面状態が第2の導体上と第3の導体上とで異なることにより、あるいは第4の導体の表面状態が第2の導体と第3の導体のビアホール充填金属の境界領域上で変化していることにより、ビアホールの部分を第4の導体認識できることを特徴とする。

【0015】第4の導体上からのビアホールの認識は、例えば顕微鏡による目視観察、反射率や光沢度の違いを利用する方法、画像解析などの光学的方法によって行うことができる。

【0016】また、本発明による配線板は、絶縁基板上

に第1の導体が形成され、絶縁基板及び第1の導体上に絶縁層が形成され、絶縁層上に第2の導体が形成され、絶縁層には第1の導体と第2の導体を電気的に接続するためのビアホールが形成され、ビアホール内部が第3の導体金属によって充填された構造の導体接続部を有し、第2の導体表面と第3の導体金属の表面を共に覆う第4の導体を有する配線板において、第4の導体が第3の導体上で凹状に形成されていることを特徴とする。

【0017】また、本発明による配線板は、絶縁基板上に第1の導体が形成され、絶縁基板及び第1の導体上に絶縁層が形成され、絶縁層上に第2の導体が形成され、絶縁層には第1の導体と第2の導体を電気的に接続するためのビアホールが形成され、ビアホール内部が第3の導体金属によって充填された構造の導体接続部を有し、第2の導体表面と前記第3の導体金属の表面を共に覆う第4の導体を有する配線板において、第4の導体の表面粗さが前記第4の導体の表面粗さの方が大きいことを特徴とする。

【0018】また、本発明による配線板は、絶縁基板上に第1の導体層が形成され、絶縁基板及び第1の導体層上に絶縁層が形成され、絶縁層上に第2の導体層が形成され、絶縁層には第1の導体層と第2の導体層を電気的に接続するためのビアホールが形成され、ビアホール内部が導体金属によって充填された構造の導体接続部を有し、前記第2の導体表面と第3の導体表面を共に覆う第4の導体を有する配線板において、第3の導体層が前記絶縁層の高さと同等の高さを有することを特徴とする。

【0019】また、本発明は、絶縁基板上に第1の導体を有し、絶縁基板及び第1の導体上に絶縁層を有し、絶縁層上に第2の導体を有し、第1の導体と第2の導体を電気的に接続するためのビアホールが絶縁層を貫通して形成されており、ビアホール内部にめっき金属が充填されている配線板の製造方法において、ビアホール内部に無電解めっきによって第3の導体を充填する際に、第2の導体にめっき反応電位よりも貴な電位を印加し、ビアホール底部の第1の導体を起点に無電解めっき反応を進行させ、ビアホール内部をめっき金属により充填することを特徴とする。

【0020】また、本発明による配線板の製造方法は、表面に第1の導体を有する絶縁基板上に絶縁層を形成する工程と、絶縁層上に第2の導体を形成する工程と、第2の導体にパターニングを行う工程と、第2の導体をマスクとして第1の導体上の前記絶縁層にビアホールを形成する工程と、第2の導体にめっき反応電位よりも貴な電位を印加しながらビアホールの底部にあたる第1の導体層上に無電解めっきにより、前記ビアホール内部に金属を充填し、第3の導体を形成する工程とを含むことを特徴とする。

【0021】また、本発明による配線板の製造方法は、表面に第1の導体を有する絶縁基板上に、表面に第2の

導体を有するフィルム状の絶縁層を積層する工程と、第2の導体にパターンニングを行う工程と、第2の導体をマスクとして第1の導体層上の前記絶縁層にビアホールを形成する工程と、第2の導体にめっき反応電位よりも貴な電位を印加しながらビアホールの底部にあたる第1の導体上に無電解めっきによりビアホール内部に金属を充填し、第3の導体を形成する工程とを含むことを特徴とする。

【0022】本発明においては、前述の如く被めっき体と電氣的に絶縁され、かつめっきしたい厚みだけ離れた位置に第2の導体を設置し、第2の導体にめっき反応電位より貴な電位を印加しながら無電解めっきを行うことにより前記目的を達成する。すなわち、本発明は、被めっき体表面に第1の導体と該導体に対して電氣的に絶縁された第2の導体が設けられた前記第1の導体の表面に導体を無電解めっきによって堆積させる無電解めっき方法において、前記第2の導体にめっき反応の電位より貴な電位を印加することを特徴とする。

【0023】無電解めっきによって微小穴内又は溝内へ所定量の金属を充填する場合には、予め微小穴周辺部又は溝周辺部の絶縁層表面にある第2の導体層に、外部電源によりめっき反応電位よりも貴な電位を印加する。

【0024】すなわち、本発明は、被めっき体に設けられた穴又は溝を有し、前記穴又は溝の周辺に第2の導体が設けられた絶縁体に対して前記第1の導体を起点に無電解めっき反応を進行させて前記穴又は溝内に金属を充填する無電解めっき方法において、前記第2の導体に外部電源によりめっき反応電位よりも貴な電位を印加しながら無電解めっき反応を行うことを特徴とする。

【0025】前記第2の導体に印加する電位は、めっき反応電位に対して+0.1～+1.5ボルトとするのが好ましく、更に好ましくは+0.4～+0.7ボルトとするのがよい。

【0026】本発明によって金属を充填することのできる微小穴の典型例としては、ICの層間接続部、薄膜多層配線基板やプリント基板の層間接続部等を挙げることができるが、それ以外にも絶縁体に形成した任意の非貫通穴への金属充填に適用することができる。また、金属を充填したい穴を有する絶縁体の形状・材質は特に問わない。さらに本発明を適用可能な構造は穴のみではなく、溝状でも良く、配線形成工程にも適用可能である。

【0027】本発明は、表面に微細配線パターンが形成された絶縁層が複数積層された多層薄膜配線基板と該配線基板の少なくとも一方の面に半導体素子が搭載されたモジュールにおいて、前記配線基板が前述に記載の配線板よりなることを特徴とする。

【0028】本発明は、プリント配線基板上に接続ピンを介して接続されたモジュール基板が搭載され、該モジュール基板上に表面に微細配線パターンが形成された絶縁層が複数積層された多層薄膜配線基板が搭載され、該

配線基板上に半導体素子が搭載されている大型計算機実装において、前記配線基板が前述に記載の配線板よりなることを特徴とする。

【0029】

【発明の実施の形態】

〔実施例A〕図1は、本発明を穴又は溝への金属の充填に適用する場合の配置の一例を模式的に示した断面図である。絶縁層1には穴又は溝2a、2bが設けられ、その底面には金属層等からなる第1の導体3a、3bが形成されている。また、絶縁層1の表面には、金属層等による第2の導体4が形成されている。いま、穴又は溝2a、2bの底面に設けられた導体3a、3bを起点とした無電解めっきによって穴又は溝2a、2bの内部を金属で充填するものとする。このとき、本発明では、絶縁層1の表面に設けられた第2の導体4に、めっき反応電位より貴な電位を印加しながら無電解めっきを行う。

【0030】めっき反応電位より貴な電位の印加は、無電解めっき液中に浸漬された参照電極10の電位を基準として第2の導体4へ外部電源9により所定の電位を印加することによって行う。外部電源9は、結線8により第2の導体4と接続される。このようにして無電解めっきを行うと、穴又は溝2a、2bの底面に設けられた第1の導体3a、3bを起点として進行する無電解めっきは、めっき厚が次第に増し、穴又は溝2a、2bを充填して行くめっき金属の上端が第2の導体4に触れた時点でめっき反応が停止し、それ以上めっき厚が増すことはない。これは、図1に図示するように深さの異なる穴又は溝2a、2bが混在する場合でも同じである。

【0031】すなわち、深さの浅い穴又は溝2aを充填するめっき金属は比較的短時間で第2の導体4に接触する厚さとなり、めっき金属の一部が第2の導体4に接触した時点で穴又は溝2aの充填を終了する。一方、より深い穴又は溝2bを充填するめっき金属は、第2の導体4に達するまでに比較的長い時間を要する。しかし、深い穴又は溝2bを充填する無電解めっき反応は、浅い穴又は溝2aを充填する無電解めっき反応が終了した後も、その穴又は溝2bを充填するめっき金属が第2の導体4に接触するまで継続する。こうして、絶縁層1に深さの異なる複数の穴又は溝2a、2bがランダムに設けられている場合であっても、全ての穴又は溝をめっき金属で第2の導体4の高さまで均一に充填することが可能となる。

【0032】また、外部電源より電圧を印加する第2の導体は、無電解めっきにより充填する穴あるいは溝の上端ではなく穴又は溝の深さ方向の途中に設けることもできる。このとき第2の導体を置く位置すなわち無電解めっきの起点となる導体からの高さを調整することにより、無電解めっき反応を停止させる位置を任意にコントロールすることができ、めっき膜厚を任意に制御することが可能である。

【0033】図2は、底面に無電解めっきの起点となる第1の導体3a、3bを有する穴又は溝2a、2bの深さ方向の途中に第2の導体層4を設け、穴又は溝充填の途中でめっき反応を停止させる場合の配置の一例を模式的に示した断面図である。説明を簡単にするため、図2において、図1と同じ機能部分には図1と同じ符号を付して示した。図1の配置と異なるのは、めっき反応電位より貴な電位を印加する第2の導体4を絶縁層1の表面ではなく絶縁層1の内部に設けた点である。

【0034】第2の導体4は、その端面が絶縁層1に設けた穴又は溝2a、2bの側面に露出している。この場合には、絶縁層1に設けられた深さの異なる穴又は溝2a、2bの全てをめっき金属で第2の導体4の深さまで均一に充填することが可能となる。

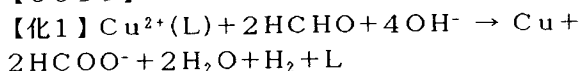
【0035】また、第2の導体は被めっき体から離れためっき液中にあっても良い。このように、本発明は、絶縁材に設けられた穴や溝だけではなく、平面状の被めっき体表面に無電解めっきを行う際にも適用可能である。この第2の導体を設置する位置をコントロールすることで、被めっき体に施すめっき膜厚を任意に制御することが可能である。

【0036】図3は、被めっき体の表面に無電解めっきによって定められた膜厚のめっきを行う場合の配置の一例を模式的に示す図である。外部電源9によってめっき反応電位より貴な電位とされた第2の導体4は、表面に無電解めっき反応の起点となる第1の導体3を有する絶縁層1から距離hだけ離れためっき液中に固定されている。絶縁層1は図示したような平板等の平坦な物体に限らず、連続した表面を持つ物体であってもよい。例えば、絶縁層1は球状や筒状であってもよいし、ある形状に加工された成形体であってもよい。このような配置で無電解めっきを行うと、めっき反応は、絶縁層1の第1の導体3上に形成される金属が第2の導体4に接触した時点で停止するため、絶縁層1に厚さhの均一なめっき膜を形成することができる。

【0037】このように、本発明は無電解めっきをする際、あらゆる形態の被めっき体に適用可能であり、めっき反応電位より貴な電位を印加する第2の導体の設置位置を何らかの方法で調整することにより、めっき膜厚を任意にコントロールできるのである。

【0038】次に、本発明の原理について、無電解銅めっきを例にとって説明する。無電解銅めっき反応は、次の反応式〔化1〕で表すことができる。

【0039】



ここで、Lは銅と錯体を形成する錯形成剤で、エチレンジアミン四酢酸(EDTA)が用いられる場合が多い。この反応は銅やパラジウム等の金属上で選択的に進行するが、それはそれらの金属がホルムアルデヒドの酸化反応に対

し触媒活性を示すためであると言われている。ホルムアルデヒドは酸化される際、電子を放出し、その電子を受け取った銅イオンは金属銅に還元され、析出する。銅の析出反応は、飽和カロメル電極(SCE)を基準として、室温で約-0.8Vより卑な電位(マイナスの電位)で進行する。従って、ホルムアルデヒドの酸化反応と、銅イオンの還元析出反応が同時に進行する無電解銅めっき反応では、被めっき体の表面電位は、室温では-0.8V(v.s.SCE)より卑な電位になっている。実際にめっきを行う場合には、めっきの析出速度を確保するため、めっき液を温め、約60~80℃程度で使用する場合が多く、その場合には電位は異なるが、原理的には同じである。約70℃でめっきする場合には、被めっき体の電位は約-0.75V(v.s.SCE)と実測される。

【0040】無電解めっき反応で銅イオンが還元され析出するためには、上述のように室温では-0.8V(v.s.SCE)(70℃では-0.75V(v.s.SCE))より卑な電位であることが必要であるが、何らかの方法で被めっき体の電位を銅イオンが還元される電位よりも貴な電位、すなわち-0.8V(v.s.SCE)(70℃では-0.75V(v.s.SCE))よりもプラス側にすれば、めっき反応は停止することになる。任意のめっき膜厚になった時点で、外部より電位を印加し、上述のように金属イオンの還元電位より貴な電位を被めっき面に印加することで、めっき反応を停止させることができるのである。

【0041】めっき反応の停止に必要な電位はめっきの系により異なると考えられるが、その範囲は、一般にめっき反応が進行している被めっき体の電位に対し+0.1~+1.5ボルトで良い。+0.1ボルトより小さい電位では、その効果が十分に現れず、めっき反応が停止しない場合がある。また、+1.5ボルトより大きな電位では、電位を印加している第2の導体層が酸化されてしまうため好ましくない。第2の導体層の材質にもよるが、酸化された際、不導体層を形成したり、あるいはめっき液中に酸化溶解してしまう場合がある。発明者らの検討によると、めっき反応電位に対して+0.1~+1.5ボルトの範囲の電位を印加することでめっき反応を停止させることができるが、印加電位を+0.4~+0.7ボルトの範囲とすることで最も良好な結果が得られている。

【0042】基板に絶縁層を形成し、ビアホールを介し配線を逐次形成していくビルドアップ法で形成した配線板では、通常、ビアホール内を金属で充填しないため、導体形成後もビアホールに穴がある。これは配線の高密度化に不利である。これはめっき法でも、スパッタ等のドライメタライズ法でも同様である。そこで、無電解めっき法によりビアホール内部を完全に充填する方法が高密度化に有利であると考えられるが、めっき膜厚制御が

困難であるため、続いて研磨工程が必要となる。研磨工程を経て、ビアホール表面と絶縁層表面を覆うように形成した導体層では、外観からビアホールの位置が認識できないため、配線パターンの位置合わせが不可能となる。

【0043】本発明では、ビアホール表面と絶縁層表面を覆うように形成した導体層表面からビアホールの位置が認識可能で、かつ下層ビアホールの直上に上層のビアホールが形成可能な配線板を見出した。その配線板の形態を断面図で図4及び図5に示す。

【0044】図4に示した配線板は、表面に第1の導体22を有する絶縁基板21上の絶縁層23にビアホールを形成し、絶縁層23上の第2の導体24にめっき反応電位よりも貴な電位を印加しながらビアホール底部の第1の導体22を起点に無電解めっき反応を進行させることでビアホール内部をめっき金属により充填し、第3の導体25を形成し、その上に第4の導体層26を形成したものである。第2の導体層24と第4の導体層26は、同じ金属であっても、異なる金属であってもよい。

【0045】図4の構造の配線板の場合、上面から配線板を観察すると、絶縁層23の上面に形成した第4の導体26表面にわずかな凹凸があることが分かる。この凹凸の部分はめっき金属で充填された第3の導体25のビアホール部に相当し、導体層のパターニング用のマスクと位置合わせをすることができる。この凹凸は、第2の導体24が非常に薄い場合、あるいは第4の導体26が厚い場合には小さくなり認識し難くなる。しかし、その場合でも、ビアホール内部を充填した第3の導体25の表面を研磨していないため、第4の導体26を形成後、ビアホール部とそれ以外とは表面の粗さが異なっている。従って、配線板上面からの観察で、ビアホール部を認識可能である。

【0046】図5に示した配線板は、図4に示した配線板と同様にしてビアホール内部をめっき金属で充填し第3の導体25を形成したのち、絶縁層23上の導体24（図4参照）をエッチング等により一旦除去し、そのうち導体層27を全面に形成したものである。図5に示した構造の配線板の場合にも、その表面粗さからビアホール部を認識することができる。

【0047】上述したように、本発明を適用することが可能な被めっき体及びその構造は多岐に渡るが、ここでは多層配線基板に設けられた微小穴内への金属充填に本発明を適用した場合について説明する。基板に絶縁層を形成し、微小穴を介し配線を逐次形成していくビルドアップ基板では、配線の高密度化のため微小穴による層間接続技術の確立が必要不可欠である。特に、必要な層間のみ接続する片側閉塞タイプの非貫通穴（ビアホール）による層間接続が重要である。ビアホールの形成方法としては、エキシマレーザや炭酸ガスレーザ等のレーザ加工による方法、絶縁層に感光性樹脂を使用し写真法で形

成する方法、エッチング性プラズマを用いるドライエッチング法等がある。配線板の高密度配線を達成するためには、配線幅の微小化はもちろんであるが、層間接続のために必要とされるパッド面積を小さくすることもまた重要である。パッド面積の微小化にはビアホール内部を金属充填する方法が有効であるが、前述したように、ドライメタライズ法、ウエットメタライズ法いずれも現状技術では困難である。

【0048】ビルドアップ基板で、無電解めっきによるビアホール内部への金属充填に、本発明を適用する場合の例を以下に記す。

【0049】図6に示したプロセスフローに従い説明する。基板5は、図6(a)に示すように、表面に第1の導体3を有する。その基板5の表面に、図6(b)に示すように絶縁層1を形成する。次いで、図6(c)に示すように、絶縁層1の表面に第2の導体4を形成する。第2の導体4の形成は、スパッタや蒸着等のドライメタライズ法によっても、あるいは無電解めっきや電気めっきのウエットメタライズ法によってもよい。フォイル状の金属膜を熱圧着や接着材を介して接着しても良い。あるいは図7に示すように、予め表面に金属膜14を有するフィルム状の絶縁層(Bで示す)を、表面に第1の導体3が形成された基板5(Aで示す)上に積層してもよい。

【0050】次いで、図6(d)に示すように、第2の導体4上に感光性のレジスト6を形成し、写真法によりパターンを形成する。このパターンは絶縁層1にビアホールを形成したい部分のみ第2の導体4がエッチングできるように形成する。その後、図6(e)に示すように、エッチングを施して、第2の導体4をパターニングし、必要ならばレジストを剥離する。次に、図6(f)に示すように、レーザ又はプラズマにより第2の導体4をマスクとして絶縁層1にビアホール2を形成する。ビアホール2が第1の導体3表面に達したところでビアホール加工を終了する。

【0051】次いで、洗浄後、図8に示すように、基板Cをめっき槽11中の無電解めっき液12中に浸漬し、ビアホール2底部の第1の導体3表面を起点として無電解めっきを行う。この無電解めっき工程で、基板表面の第2の導体4に外部電源（ポテンシオスタット）9により無電解めっき反応の反応電位より貴な電位を印加する。具体的には、例えば無電解銅めっきでは、めっき温度70℃での無電解銅めっき反応の反応電位は約-750~-800mV(v.s. SCE)なので、第2の導体4が-300mV(v.s. SCE)程度になるように外部電源9により結線8を介して電位を印加する。

【0052】この例は、参照電極10のSCE（飽和カロメル電極）に対し電位を印加する場合であるが、もちろん参照電極10はSCEに限らない。また、参照電極を用いず、無電解銅めっき反応の進行している別の基板

に対し、第2の導体4の電位を外部電源により例えば約500mV程度貴側に印加してもよい。この場合、電位を印加する基準になる別の基板の表面積は第2の導体4の表面積に比べ十分に大きいことが望ましい。

【0053】無電解めっきはビアホール2の底部より上に向かって成長し、やがてビアホールを完全に充填する。ビアホールを充填しためっき金属が第2の導体4に達したとき、第2の導体4には外部電源9によりめっき反応電位よりも貴な電位が印加されているため、無電解めっき反応は停止する。

【0054】このように、ビアホール2の内部を無電解めっきにより充填する際、第2の導体4に無電解めっき反応の反応電位よりも貴な電位を印加しながら行うことにより、すべてのビアホール2で、めっき面が第2の導体4に到達した時めっき反応を停止させることができ、従来非常に困難であっためっき膜厚のコントロールを再現性良く行うことができる。

【0055】無電解めっきによるビアホール充填後、ビアホール充填金属からなる第3の導体25と第2の導体4の電気的な接続の信頼性を向上させるため、図9に示すように、更に第4の導体7を形成する。第4の導体7は無電解めっき、電気めっき、ドライメタライズ等、いずれの方法で形成してもよい。また、第2の導体4をエッチング等により一旦除去し、そののち第4の導体7を全面に形成しても良い。

【0056】第1の導体3、第2の導体4、第4の導体7、ビアホール充填金属は同一の金属であっても、同一でなくても良い。また、それぞれの導体は単一金属でも、多種金属の多層構造導体や、合金でも良い。

【0057】第1の導体3としては銅、ニッケル、銀、金、白金、亜鉛、パラジウム、ロジウム、タングステン、クロム、チタン、コバルトが好ましく、電気抵抗の小さな銅、銀、金が特に好ましい。また、第1の導体3と下地基板や絶縁層等の各界面の接着性等を考慮し、多層構造や、合金にしても良い。本発明で第1の導体3はビアホールを充填するための無電解めっき反応の起点となるので、当該無電解めっき反応に対する活性を示す金属が表面に存在するか、あるいはエッチング等何らかの処理により表面に露出あるいは析出させることができることが必要である。逆に、それ以外の制約はない。

【0058】第2の導体4としては銅、ニッケル、銀、金、白金、パラジウム、ロジウム、タングステン、クロム、チタン、アルミニウム、コバルト、鉄でよいが、やはり電気抵抗の小さな銅、銀、金が特に好ましい。また、絶縁層や第1の導体3との接着性を考慮し、多層構造や、合金にしても良い。

【0059】第4の導体7としては銅、ニッケル、銀、金、白金、パラジウム、ロジウム、タングステン、クロム、チタン、コバルトが好ましく、電気抵抗の小さな銅、銀、金が特に好ましい。また、第2の導体4や絶縁

層等との界面の接着性等を考慮し、多層構造や、合金にしても良い。

【0060】ビアホール充填金属としての第3の導体25としては、無電解めっき可能な金属ならば何れでも良く、例えば銅、ニッケル、銀、金、パラジウム、はんだ、コバルトが使用可能である。ニッケルの場合は還元剤の種類により、リンあるいはほう素との合金になる。

【0061】〔実施例B〕以下、本発明の実施例について述べる。ただし、ここで述べる絶縁材料の形状、材質や導体金属の種類等はあくまでも本発明を説明するための一例にすぎず、これによって本発明を限定するものではない。

【0062】以下の基板及び処理液を用意した。

【0063】(1) 基板A

ガラスエポキシ基材上の片面に厚さ18 μ mの銅箔を有する銅張り積層板。

【0064】(2) 基板B

ガラスエポキシ基材上に厚さ18 μ mの銅箔を有する銅張り積層板表面に、エッチングレジストを形成し、エッチングにより銅パターンを形成した。その後、基板を酸化処理液中に浸漬し、化学的酸化処理により銅表面を粗化した基板。

【0065】(3) 基板C

セラミックグリーンシート表面に、タングステンペーストを所定のパターンにスクリーン印刷して15層積層し、同時焼成したセラミック配線基板。

【0066】(4) 基板D

セラミックグリーンシート表面に、銅ペーストを所定のパターンにスクリーン印刷して15層積層し、同時焼成したセラミック配線基板。

【0067】(5) 基板E

ポリイミド表面に、スパッタリングによりクロムを厚さ0.05 μ m、次いで銅を厚さ5.0 μ m、更にクロムを厚さ0.05 μ m形成後、表面にエッチングレジストを形成し、エッチングによりクロム/銅/クロムの3層導体パターンを形成した基板。

【0068】(6) 基板F

ポリイミド表面に、スパッタリングによりチタンを厚さ0.05 μ m、次いで銅を厚さ5.0 μ m、更にチタンを厚さ0.05 μ m形成後、表面にエッチングレジストを形成し、エッチングによりチタン/銅/チタンの3層導体パターンを形成した基板。

【0069】(7) 基板G

表面に、パターニングされた銅を有するガラス基板。

【0070】(8) 基板H

表面に、パターニングされたニッケルを有するガラス基板。

【0071】(9) 基板I

表面に、パターニングされた銅/ニッケル/金の3層導体パターンを有するガラスエポキシ基板。

【0072】(10) 基板J

表面に銀ペーストをスクリーン印刷し加熱硬化した、パターンニングされた銀を有するガラスエポキシ基板。

【0073】(11) 基板K

表面にパターンニングされたアルミニウム電極を有し、該電極表面を亜鉛処理（ジンケート処理）したシリコンウエハ。

【0074】(12) 基板L

表面にパターンニングされたタングステン（タングステン）を有するシリコンウエハ。

【0075】(13) 基板M

表面にパターンニングされたチタンを有するシリコンウエハ。

【0076】

(14) 酸化処理液

亜塩素酸ナトリウム	1.0 mol/l
リン酸ナトリウム	0.1 mol/l
水酸化ナトリウム	0.4 mol/l
液温	70℃

(15) 無電解Ni-Pめっき液

硫酸ニッケル	0.08 mol/l
乳酸	0.3 mol/l
プロピオン酸	0.03 mol/l
次亜リン酸ナトリウム	0.2 mol/l
pH	5.0
液温	90℃

(16) 無電解銅めっき液

硫酸銅	0.04 mol/l
エチレンジアミン四酢酸二ナトリウム	0.1 mol/l
ホルムアルデヒド	0.03 mol/l
水酸化ナトリウム	0.1 mol/l
2, 2'-ビピリジル	0.0002 mol/l
ポリエチレングリコール（平均分子量600）	0.03 mol/l
pH	12.8
液温	70℃

(17) 無電解コバルトめっき液

硫酸コバルト	0.05 mol/l
エチレンジアミン	0.4 mol/l
ロッセル塩	0.05 mol/l
水酸化ナトリウム	0.7 mol/l
水素化ほう素ナトリウム	0.7 mol/l
塩化鉛	30 ppm
液温	60℃

〔実施例1〕100mm角の大きさの基板Aを、35℃、200g/lの過硫酸アンモニウム水溶液中に2分間浸漬し、銅のソフトエッチング処理を施し、銅の清浄面を露出させた。銅の表面から30μm離れた位置に、マイクロメータを用いて、エナメル線先端部を固定した。その際、このエナメル線先端部の被覆は予め除去しておいた。

【0077】次いで、水洗後基板を無電解銅めっき液中に浸漬し、銅表面に無電解銅めっきを施した。その時、エナメル線にはポテンシオスタットを用いて-350mV（vs. SCE）の電位を印加しながらめっきを行った。尚、この電位は70℃での値であり、無電解銅めっきの反応電位は-780mV（vs. SCE）と実測されたため、エナメル線に印加された電位はめっき反応電

位に比べ+0.43ボルトである。

【0078】無電解銅めっきのめっき速度は約3μm/hであるので、基板表面の銅より成長しためっき膜がエナメル線先端に接触するまでには約10時間を要する。そこで、無電解銅めっきを15時間行った。その結果、めっき反応はエナメル線に接触した時点で停止しており、めっき膜厚は基板銅表面とエナメル線の間隔とほぼ同値の約30μmであった。めっきが連続的に進行すると仮定すると、15時間のめっきではめっき膜厚は45μmになるはずであり、基板とエナメル線間の30μmを大きく上回るはずであったが、めっき反応はめっき面がエナメル線に接触した時点で停止しており、めっき膜厚は基板とエナメル線間との距離に等しい30μmであった。

【0079】以上のように、無電解めっきを行う際、電位を印加する第2の導体と基板との距離を調整することで、めっき膜厚を任意にコントロールすることができることが明らかとなった。

【0080】〔実施例2〕100mm角の大きさの基板Bの表面に、エポキシを主成分とする厚さ75 μ mの熱硬化性接着フィルムを挟み、厚み25 μ mのポリイミドフィルム（片面銅箔付き、日立化成工業社製：MCF-5000I）を加熱圧着した。銅箔の厚みは18 μ mで、接着フィルムとは反対側にくるようにした。接着後、銅箔表面に感光性を有するエッチングレジスト（東京応化製：OFPR-800）を形成し、所定の露光、現像工程によりビアホールを形成したい部分のレジストを除去した。次いで、銅箔をエッチングによりパターンニングし、その後、所定の剥離液を用いてエッチングレジストを剥離した。

【0081】次に、ビアホールを加工した。ビアホール加工にはエキシマレーザを用いた。幅20mmのレーザ光を、基板表面より照射した。基板表面の銅箔がマスクになり、銅箔のパターンニングされた部分のみが加工される、いわゆるコンフォーマルマスク法でビアホールを形成した。この時形成したビアホールは、大きさ ϕ 100 μ m、2mmピッチで合計2500穴である。

【0082】ビアホール形成後、基板を無電解銅めっき液中に浸漬し、ガラスエポキシ基板表面の銅パターンを起点に無電解銅めっきを行った。この時、ポテンシオスタット用いて、基板表面にあり、ビアホール形成時にはマスクとして使用した銅箔に-380mV（vs. SCE）の電位を印加した。尚、この電位は70℃での値であり、無電解銅めっきの反応電位は-780mV（vs. SCE）と実測されたため、表面の銅箔に印加された電位はめっき反応電位に比べ+0.4ボルトである。

【0083】熱硬化性接着フィルムとポリイミドフィルムの厚みの合計は、約100 μ mである。また、無電解銅めっきのめっき速度は約3 μ m/hであるので、ガラスエポキシ基材表面の銅パターンを起点に成長した銅めっきは、約33時間後に表面の銅箔に達する。そこで、無電解銅めっきを40時間行った。その結果、2500穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは2500穴で \pm 1 μ m以下であった。

【0084】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることがわかり、本発明のめっき方法が、本発明の目的であるところの、各穴毎のめっき厚みを再現性良く均一に制御できる無電解めっき方法を提供するという目的を十分に達成できることが解った。

【0085】次に、同様な実験を、表面の銅箔に印加す

る電圧をめっき電位に対し0.1ボルト、0.4ボルト、0.7ボルト、1.2ボルト、1.5ボルトと変化させて検討した。0.1ボルトでは印加する電圧が小さいため、若干銅が析出した。そのため、めっき液投入以前18 μ mの厚みだった表面の銅箔は、40時間のめっき終了時には約34 μ mになっていた。また、ビアホールを充填した銅はポリイミド面よりも平均で約2.8 μ m突き出ていた。すなわち、めっき電位に対し0.1ボルトの電圧を印加した場合には、めっき反応は完全には停止せず、約0.4 μ m/hの速度でめっき反応が進行していたと考えられる。本実施例では、33時間でビアホールが充填される条件にもかかわらず、40時間のめっきを施したため、ビアホールを充填した銅はポリイミド面よりも平均で約2.8 μ m突き出たが、0.1ボルトを印加した場合のめっき速度は0.4 μ m/hと本来のめっき速度3 μ m/hに比べ十分遅いため、めっき時間を約35時間程度で最適化することによりこの問題は回避できる。

【0086】印加する電圧がめっき電位に対し0.4ボルト、0.7ボルトの条件では、40時間のめっき後、ビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは2500穴で \pm 1 μ m以下であった。

【0087】印加電圧をめっき電位に対して1.2ボルト、1.5ボルトとした条件では、電圧を印加した銅箔が酸化した。特に1.5ボルト印加した場合には銅箔が溶解し、一部ポリイミドが露出した。しかし、銅箔の残っている部分のビアホールでは全て基板表面の銅箔に触れた時点でめっき反応は停止していた。従って、この場合でも、原理的には本発明の効果を発現させることは可能であることが分かった。銅の酸化電位や溶解電位あるいは溶解速度はめっき液のpHや温度により異なるので、本実施例と異なるpHや液温条件、あるいは第2の導体が銅以外の場合には1.5ボルトの条件でもなら問題のない条件が見いだせるはずである。

【0088】以上の結果より、第2の導体に印加する電圧は、めっきする金属や第2導体金属の種類・組み合わせにより異なると考えられるが、0.1～1.5ボルトとすることで本発明の効果を発現させることができ、特に0.4～0.7ボルト程度とするのが好ましいことがわかった。

【0089】〔実施例3〕100mm角の大きさの基板B表面に、エポキシを主成分とする厚さ75 μ mの熱硬化性接着フィルムを挟み、片面に厚み12 μ mの銅箔を有する厚み25 μ mのポリイミドフィルムを銅箔が下側に来るように接着した。すなわち、基板の構造は下側より順に、ガラスエポキシ基材、エポキシ基材の銅箔、接着材、ポリイミド表面の銅箔、ポリイミドである。

【0090】次に、ビアホールを加工した。加工には短パルス炭酸ガスレーザを用い、先ずポリイミド表面の銅

箔まで、直接加工した。その後、露出した銅箔を化学エッチングし、再び同様のレーザを用いて、ガラスエポキシ基材表面の銅に達するまで加工した。その時、同時に基板の1隅(5mm角程度)にもレーザを照射し、ポリイミド表面の銅箔を露出させた。この時形成したビアホールは、大きさ $\phi 100\mu\text{m}$ 、2mmピッチで合計2500穴である。

【0091】ビアホール形成後、基板を無電解銅めっき液中に浸漬し、ガラスエポキシ基板表面の銅パターンを起点に無電解銅めっきを行った。この時、ポテンシオスタット用いて、基板の一隅で露出させたポリイミド表面の銅箔に端子を接触させ電位を印加した。その時の電位は -350mV (vs. SCE)であった。尚、この電位は 70°C での値であり、無電解銅めっきの反応電位は -780mV (vs. SCE)と実測されたために印加された電位はめっき反応電位に比べ $+0.43$ ボルトである。

【0092】熱硬化性接着フィルムの厚みは、 $75\mu\text{m}$ である。また、無電解銅めっきのめっき速度は約 $3\mu\text{m/h}$ であるので、ガラスエポキシ基材表面の銅パターンを起点に成長した銅めっきは、約25時間後にポリイミド表面の銅箔に達する。また、ガラスエポキシ基板上に形成した熱硬化性接着フィルム、銅箔付ポリイミドフィルムの合計厚みは $112\mu\text{m}$ であるので、めっき反応が連続的に進行すると仮定すると、約37.3時間後にめっき銅は最上面のポリイミドフィルム上面に達する。そこで、無電解銅めっきを40時間行った。その結果、2500穴のビアホールは全てポリイミド表面の銅箔に触れた時点でめっき反応が停止していた。すなわち、ガラスエポキシ基材表面の銅パターンより、熱硬化性接着フィルムの厚み分の約 $75\mu\text{m}$ のみめっきされており、それらのめっき膜厚のばらつきは2500穴で $\pm 1\mu\text{m}$ 以下であった。

【0093】このように、表面ではなくビアホールの途中にある銅箔に電圧を印加しながら無電解銅めっきを行うことで、多数のビアホール内のめっきの膜厚を均一にコントロール可能であることが分かった。

【0094】〔実施例4〕実施例2と同様の基板を用い、同様な方法でビアホール形成まで行った。ビアホール形成後、基板を無電解銅めっき液中に浸漬し、ガラスエポキシ基板表面の銅パターンを起点に無電解銅めっきを行った。この時、予めめっき浴中には表面積 2000cm^2 の銅板を投入し銅板上に無電解銅めっきを行っていた。基板をめっき液に浸漬後、ポテンシオスタット用いて、基板表面にあり、ビアホール形成時にはマスクとして使用した銅箔に、予め投入してあった 2000cm^2 の銅板に対し $+500\text{mV}$ の電圧を印加した。

【0095】熱硬化性接着フィルムとポリイミドフィルムの厚みの合計は、約 $100\mu\text{m}$ である。また、無電解銅めっきのめっき速度は約 $3\mu\text{m/h}$ であるので、ガラ

スエポキシ基材表面の銅パターンを起点に成長した銅めっきは、約33時間後に表面の銅箔に達する。そこで、無電解銅めっきを40時間行った。その結果、2500穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは2500穴で $\pm 1\mu\text{m}$ 以下であった。

【0096】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解銅めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0097】〔実施例5〕基板Bの代わりに基板Cを用いた以外は全て実施例2と同様な方法で、内部をめっき金属で充填したビアホールを有する基板を作製した。その結果、2500穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは2500穴で $\pm 1\mu\text{m}$ 以下であった。

【0098】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解銅めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0099】〔実施例6〕基板Bの代わりに基板Dを用いた以外は全て実施例2と同様な方法で実施した。その結果、2500穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは2500穴で $\pm 1\mu\text{m}$ 以下であった。

【0100】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解銅めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0101】〔実施例7〕基板Bの代わりに基板Eを用い、実施例2と同様な方法でビアホールを形成した。その後、ビアホール底部の3層導体の最上面にあるクロム層を、18%塩酸水溶液により除去し、銅を露出させ無電解銅めっき液中に浸漬した。その後は実施例2と同様に、表面銅箔に電圧を印加しながらめっきを行った。

【0102】その結果、2500穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは2500穴で $\pm 1\mu\text{m}$ 以下であった。

【0103】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解銅めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0104】〔実施例8〕基板Bの代わりに基板Fを用い、実施例2と同様な方法でビアホールを形成した。その後、ビアホール底部の3層導体の最上面にあるチタン

層を、18%塩酸水溶液により除去し、銅を露出させ無電解銅めっき液中に浸漬した。その後は実施例2と同様に、表面銅箔に電圧を印加しながらめっきを行った。

【0105】その結果、2500穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは2500穴で $\pm 1\mu\text{m}$ 以下であった。

【0106】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0107】〔実施例9〕基板Bの代わりに基板Gを用いた以外は全て実施例2と同様な方法でビアホールの内部をめっき金属で充填した。その結果、2500穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは2500穴で $\pm 1\mu\text{m}$ 以下であった。

【0108】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0109】〔実施例10〕基板Bの代わりに基板Iを用いた以外は全て実施例2と同様な方法でビアホールの内部をめっき金属で充填した。その結果、2500穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは2500穴で $\pm 1\mu\text{m}$ 以下であった。

【0110】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0111】〔実施例11〕基板Bの代わりに基板Jを用いた以外は全て実施例2と同様な方法でビアホールの内部をめっき金属で充填した。その結果、2500穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは2500穴で $\pm 1\mu\text{m}$ 以下であった。

【0112】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0113】〔実施例12〕 $\phi 5$ インチの基板Kの表面にポリイミドワニスにスピンコートし、窒素雰囲気下で400℃1時間加熱キュアした後、ポリイミド表面にチタンを0.05 μm 、次いで銅を3 μm スパッタリングにより形成した。尚、この時のポリイミド層の厚みは5

μm であった。形成した銅箔上に実施例2と同様なエッチングレジストを形成し、露光・現像によりビアホール部のみレジストを除去した。その後、銅、チタンをエッチングによりパターニングし、ビアホール形成部のみ銅、チタンを除去した。次いで、ドライエッチングによりポリイミドにビアホールを形成した。ドライエッチングは、平行平板型のドライエッチャー（アネルバ製：DEA-506）を用い、出力800W、酸素圧力3Paで行った。その時形成したビアホールの数は5000穴であり、その大きさは $\phi 10\mu\text{m}$ であった。

【0114】その後、実施例2又は3と同様な方法でポリイミド表面の銅に電圧を印加しながら無電解銅めっきを行った。めっき時間は2時間とした。その結果、5000穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは5000穴で $\pm 0.2\mu\text{m}$ 以下であった。

【0115】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0116】〔実施例13〕基板Kの代わりに基板Lを用いた以外は全て実施例12と同様な方法でビアホールの内部にめっき金属を充填した。その結果、5000穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは5000穴で $\pm 0.2\mu\text{m}$ 以下であった。

【0117】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0118】〔実施例14〕基板Kの代わりに基板Mを用いた以外は全て実施例12と同様な方法でビアホールの内部にめっき金属を充填した。その結果、5000穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは5000穴で $\pm 0.2\mu\text{m}$ 以下であった。

【0119】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0120】〔実施例15〕基板Lを用い、絶縁層として熱酸化膜を用いた。熱酸化膜表面にチタンを0.1 μm 、次いで銅を3 μm スパッタリングにより形成した。尚、この時の熱酸化膜の厚みは1 μm であった。形成した銅箔上に実施例2と同様なエッチングレジストを形成し、露光・現像によりビアホール部のみレジストを除去した。その後、銅、チタンをエッチングによりパターニ

ングし、ビアホール形成部のみ銅、チタンを除去し、ミリングによりビアホールを5000穴形成した。ビアホールの大きさは $\phi 0.5\mu\text{m}$ であった。その後、実施例2又は3と同様な方法で熱酸化膜表面の銅に電圧を印加しながら無電解銅めっきを行った。めっき時間は1時間とした。その結果、5000穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止していた。

【0121】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0122】〔実施例16〕基板Bの代わりに基板Hを用い、実施例1と同様な方法でビアホールを形成した。その後、基板を無電解Ni-Pめっき液中に浸漬し、ガラス基板表面のニッケルパターンを起点に無電解ニッケルめっきを行った。

【0123】この時、予めめっき浴中には表面積 2000cm^2 のニッケル板を投入しニッケル板上に無電解Ni-Pめっきを行っていた。基板をめっき液に浸漬後、ポテンシオスタット用いて、基板表面にあり、ビアホール形成時にはマスクとして使用した銅箔に、予め投入してあった 2000cm^2 のニッケル板に対し $+500\text{mV}$ の電圧を印加した。

【0124】熱硬化性接着フィルムとポリイミドフィルムの厚みの合計は、約 $100\mu\text{m}$ である。また、無電解Ni-Pめっきのめっき速度は約 $15\mu\text{m/h}$ であるので、ガラスエポキシ基材表面のニッケルパターンを起点に成長したNi-Pめっきは、約6.7時間後に表面の銅箔に達する。そこで、無電解Ni-Pめっきを8時間行った。その結果、2500穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは 2500 穴で $\pm 1\mu\text{m}$ 以下であった。

【0125】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0126】〔実施例17〕大きさ 100mm 角の基板Bを、ジメチルアミンボランを 10g/l 含むアルカリ水溶液中に浸漬し、化学酸化処理により粗化された銅表面を還元した。その後、基板を無電解コバルトめっき液中に浸漬し銅表面にコバルトを $0.5\mu\text{m}$ めっきした。次いで、実施例2と同様な方法でビアホール形成まで行い、基板を無電解コバルトめっき液中に浸漬した。

【0127】この時、予めめっき浴中には表面積 2000cm^2 のコバルト被覆銅板を投入しコバルト被覆銅板上に無電解コバルトめっきを行っていた。基板をめっき液に浸漬後、ポテンシオスタット用いて、基板表面にあ

り、ビアホール形成時にはマスクとして使用した銅箔に、予め投入してあった 2000cm^2 のコバルト被覆銅板に対し $+500\text{mV}$ の電圧を印加した。

【0128】熱硬化性接着フィルムとポリイミドフィルムの厚みの合計は、約 $100\mu\text{m}$ である。また、無電解コバルトめっきのめっき速度は約 $15\mu\text{m/h}$ であるので、ガラスエポキシ基材表面のコバルトめっき銅パターンを起点に成長したコバルトめっきは、約6.7時間後に表面の銅箔に達する。そこで、無電解コバルトめっきを8時間行った。その結果、2500穴のビアホールは全て基板表面の銅箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは 2500 穴で $\pm 1\mu\text{m}$ 以下であった。

【0129】このように、ビアホール加工時マスクとして使用した基板表面の銅箔に電圧を印加しながら無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0130】〔実施例18〕基板B上に、熱硬化性接着フィルムを用いて接着するポリイミドフィルムとして、表面に銅箔ではなく、ステンレス合金箔を有するものを用いた。ステンレス合金の厚みは $12\mu\text{m}$ であった。実施例2と同様、熱硬化性接着フィルムを用いて基板B上に接着後、ステンレス合金箔表面に感光性を有するエッチングレジスト（東京応化製：OFPR-800）を形成し、所定の露光、現像工程によりビアホールを形成したい部分のレジストを除去する。次いで、ステンレス合金箔をエッチングによりパターンニングし、その後、所定の剥離液を用いてエッチングレジストを剥離した。

【0131】次に、ビアホールを加工した。ビアホール加工にはエキシマレーザを用いた。幅 20mm のレーザ光を、基板表面より照射した。基板表面のステンレス合金箔がマスクになり、ステンレス合金箔のパターンニングされた部分のみが加工される、いわゆるコンフォーマルマスク法でビアホールを形成した。この時形成したビアホールは、大きさ $\phi 100\mu\text{m}$ 、 2mm ピッチで合計2500穴である。

【0132】ビアホール形成後、基板を無電解銅めっき液中に浸漬し、ガラスエポキシ基板表面の銅パターンを起点に無電解銅めっきを行った。

【0133】この時、予めめっき浴中には表面積 2000cm^2 の銅板を投入し銅板上に無電解銅めっきを行っていた。基板をめっき液に浸漬後、ポテンシオスタット用いて、基板表面にあり、ビアホール形成時にはマスクとして使用したステンレス合金箔に、予め投入してあった 2000cm^2 の銅板に対し $+500\text{mV}$ の電圧を印加した。

【0134】熱硬化性接着フィルムとポリイミドフィルムの厚みの合計は、約 $100\mu\text{m}$ である。また、無電解銅めっきのめっき速度は約 $3\mu\text{m/h}$ であるので、ガラ

スエボキシ基材表面の銅パターンを起点に成長した銅めっきは、約33時間後に表面の銅箔に達する。そこで、無電解銅めっきを40時間行った。その結果、2500穴のビアホールは全て基板表面のステンレス合金箔に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは2500穴で $\pm 1\mu\text{m}$ 以下であった。

【0135】このように、ビアホール加工時マスクとして使用した基板表面のステンレス合金箔に電圧を印加しながら無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0136】〔実施例19〕基板B上に、熱硬化性接着フィルムを用いて接着するポリイミドフィルムとして、表面に金属箔を有しないものを用いた。熱硬化性接着フィルムを用いて基板B上に接着後、ポリイミド表面にタングステンを $1\mu\text{m}$ スパッタリングにより形成した。その後、タングステン表面に感光性を有するエッチングレジスト（東京応化製：OFPR-800）を形成し、所定の露光、現像工程によりビアホールを形成したい部分のレジストを除去した。次いで、タングステンをエッチングによりパターンニングし、その後、所定の剥離液を用いてエッチングレジストを剥離した。

【0137】次に、ビアホールを加工した。ビアホール加工にはエキシマレーザを用いた。幅20mmのレーザ光を、基板表面より照射した。基板表面のタングステンがマスクになり、タングステンのパターンニングされた部分のみが加工される、いわゆるコンフォーマルマスク法でビアホールを形成した。この時形成したビアホールは、大きさ $\phi 100\mu\text{m}$ 、2mmピッチで合計2500穴である。

【0138】ビアホール形成後、基板を無電解銅めっき液中に浸漬し、ガラスエボキシ基材表面の銅パターンを起点に無電解銅めっきを行った。

【0139】この時、予めめっき浴中には表面積2000 cm^2 の銅板を投入し銅板上に無電解銅めっきを行っていた。基板をめっき液に浸漬後、ポテンシオスタット用いて、基板表面にあり、ビアホール形成時にはマスクとして使用したタングステんに、予め投入してあった2000 cm^2 の銅板に対し+500mVの電圧を印加した。

【0140】熱硬化性接着フィルムとポリイミドフィルムの厚みの合計は、約 $100\mu\text{m}$ である。また、無電解銅めっきのめっき速度は約 $3\mu\text{m}/\text{h}$ であるので、ガラスエボキシ基材表面の銅パターンを起点に成長した銅めっきは、約33時間後に表面の銅箔に達する。そこで、無電解銅めっきを40時間行った。その結果、2500穴のビアホールは全て基板表面のタングステンに触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは2500穴で $\pm 1\mu\text{m}$ 以下であった。

【0141】このように、ビアホール加工時マスクとして使用した基板表面のタングステンに電圧を印加しながら

無電解めっきを行うことで、多数のビアホールを充填するめっきの膜厚を均一にコントロール可能であることが分かった。

【0142】次に、比較のために、本発明を実施しない場合の例を比較例として示す。

【0143】〔実施例20〕実施例2で無電解銅めっきによりビアホールを充填した基板を用いた。その基板を10%硫酸水溶液中に2分間浸漬し、表面を洗浄した。基板の裏面全面をセロファンテープで保護し、その後、無電解めっき触媒のパラジウムコロイドを含む日立化成工業(株)製増感剤HS101Bを含む酸性水溶液に5分間浸漬し、水洗を行った後、希塩酸を主成分とする促進処理液で5分間処理し、水洗の後、裏面のセロファンテープを剥離し、無電解銅めっきを施した。めっき時間は10時間で、めっきした銅の厚みは約 $30\mu\text{m}$ であった。その結果、ビアホール部にはめっき後、約 $7\mu\text{m}$ 程度の凹み残り、顕微鏡観察によりビアホール部が確認できた。

【0144】本実施例より、本発明の目的であるところの、ビアホール内を金属充填した基板で多層化が容易に行えるように、次層の導体層を形成後、基板表面からビアホール部分が確認できる配線板を提供できることがわかった。

【0145】〔実施例21〕実施例19で無電解銅めっきによりビアホールを充填した基板を用いた。無電解銅めっきによるビアホール充填後、17%塩酸水溶液中に基板を浸漬し、タングステンをエッチングで除去した。水洗後、その基板を10%硫酸水溶液中に2分間浸漬し、表面を洗浄した。基板の裏面全面をセロファンテープで保護し、その後、無電解めっき触媒のパラジウムコロイドを含む日立化成工業(株)製増感剤HS101Bを含む酸性水溶液に5分間浸漬し、水洗を行った後、希塩酸を主成分とする促進処理液で5分間処理し、水洗の後、裏面のセロファンテープを剥離し、無電解銅めっきを施した。めっき時間は5時間で、めっきした銅の厚みは約 $15\mu\text{m}$ であった。その結果、ビアホール部にめっきした銅表面はポリイミド上にめっきした銅表面よりも粗いことが、顕微鏡観察により確認できた。従って、めっき後も顕微鏡観察によりビアホール部が確認できることがわかった。

【0146】本実施例より、本発明の目的であるところの、ビアホール内を金属充填した基板で多層化が容易に行えるように、次層の導体層を形成後、基板表面からビアホール部分が確認できる配線板を提供できることがわかった。

【0147】〔実施例22〕実施例19で無電解銅めっきによりビアホールを充填した基板を用いた。無電解銅めっきによるビアホール充填後、17%塩酸水溶液中に基板を浸漬し、タングステンをエッチングで除去した。水洗後、その基板を10%硫酸水溶液中に2分間浸漬

し、表面を洗浄した。流水による洗浄後、基板を120℃の真空乾燥機中で1時間乾燥させた。乾燥後、基板表面に、スパッタリングによりクロム／銅／クロムの3層導体を厚み0.05/10/0.05 μm 形成した。

【0148】その結果、ビアホール部に形成された3層導体表面はポリイミド上に形成された3層導体表面よりも粗いことが、顕微鏡観察により確認できた。従って、スパッタリングによる導体形成後も顕微鏡観察によりビアホール部が確認できることがわかった。

【0149】本実施例より、本発明の目的であるところの、ビアホール内を金属充填した基板で多層化が容易に行えるように、次層の導体層を形成後、基板表面からビアホール部分が確認できる配線板を提供できることがわかった。

【0150】〔比較例1〕実施例2と同様にビアホール加工までを行った。その後、基板を無電解めっき液中に浸漬した。この時、基板表面の銅箔には電位を印加しなかった。ビアホール底部にあたるガラスエポキシ基板表面の銅パターンを起点に無電解めっき反応は進行したが、同時に基板表面の銅箔上でも無電解銅めっき反応は進行した。その結果、ビアホールが、ビアホール底部より析出してきた銅で充填される以前に閉塞されてしまった。従って、めっき後においてもビアホール部には空洞が残り、ビアホールを金属充填することはできなかった。

【0151】〔比較例2〕実施例19と同様にビアホール加工までを行った。その後、基板表面のアルミニウムのみを17%塩酸を用いてエッチングにより除去した。次いで基板を無電解めっき液中に浸漬した。ビアホール底部にあたるガラスエポキシ基板表面の銅パターンを起点に無電解めっき反応は進行した。

【0152】熱硬化性接着フィルムとポリイミドフィルムの厚みの合計は、約100 μm である。また、無電解銅めっきのめっき速度は約3 $\mu\text{m}/\text{h}$ であるので、ガラスエポキシ基材表面の銅パターンを起点に成長した銅めっきは、約33.3時間後にポリイミド表面に達する。そこで、無電解銅めっきを33.3時間行った。

【0153】その結果、2500穴中、10%以上のビアホールでポリイミド表面より5 μm 以上膜厚が凹んでいた。また、2500穴で、ポリイミド表面から見ためっき膜厚のばらつきは±8 μm 以上であった。

【0154】以上の比較例によれば、めっき膜厚の制御を再現性良く行うことは不可能であった。

【0155】〔実施例C〕前述の実施例A及びBに基づいて作製した具体的な薄膜多層基板への応用例を示す。

【0156】本発明のビアスタッド接続型の薄膜多層基板の一例を図10に示す。セラミックスまたはガラスエポキシからなる基板31上に絶縁層(例えばポリイミド等)32を形成し、該絶縁層32にビアホールを形成し、金属配線層34間を無電解めっきの導電性金属の充

填体からなるビアスタッド33で接続しながら絶縁層32を積層し、上記と同様にしてビアスタッド33で逐次接続した金属配線層34を積層した薄膜多層配線基板である。

【0157】図11は薄膜多層基板の製法の一例を断面模式図で示したフロー図である。金属配線層34を有する基板31上に絶縁層32を形成する。その後、スパッタリング法により絶縁層32上にクロムを厚み0.05 μm 形成し、次いで銅を厚み3 μm 形成することで導体36を形成する。銅表面にレジスト37を形成し、露光、現像工程により所望のパターンを形成する。銅、クロムからなる導体36をエッチングし、次いでレジスト37を剥離する。パターニングされた導体36をマスクにして、ドライエッチングによりビアホール38を形成する。この時のドライエッチングとしては酸素プラズマを用い、ガス圧が5Pa以下の低圧の条件で行った。ビアホール38形成後、基板をめっき槽42中の無電解銅めっき液43中に浸漬し、基板表面の導体34を起点に無電解銅めっきを行った。この時、ポテンシオスタット40を用いて、導体36に参照電極41を基準に-380mV(v.s. SCE)の電位を印加した。尚、この電位は70℃での値であり、無電解銅めっきの反応電位は-780mV(v.s. SCE)と実測されたため、導体36に印加された電位はめっき反応電位に比べ+0.4ボルトである。また、図中39は結線である。絶縁層32の膜厚以上のめっき厚みが得られるに十分な時間無電解めっき処理を行った。その結果、全てのビアホールで基板表面の導体36に触れた時点でめっき反応が停止しており、めっき膜厚のばらつきは全ての穴で±1 μm 以下であった。めっき処理後、その基板を10%硫酸水溶液中に2分間浸漬し、表面を洗浄した。その後、無電解めっき触媒のパラジウムコロイドを含む日立化成工業(株)製増感剤HS101Bを含む酸性水溶液に5分間浸漬し、水洗を行った後、希塩酸を主成分とする促進処理液で5分間処理し、水洗の後、無電解銅めっきを施し導体44を形成し、導体44をエッチングにより回路とした。

【0158】以上の工程により基板31上に1層の薄膜配線層が形成される。図11中(b)～(i)の工程を繰り返すことにより多層化することができる。この工程を5回繰り返して多層構造にしたのが図10である。

【0159】また、図13は本実施例まで得た薄膜多層配線基板54に、LSI44を搭載した実装基板の模式断面図である。セラミックス基板45上にポリイミド／銅からなる薄膜配線層を形成し、ビアスタッド接続した薄膜多層配線基板54に、はんだバンパ46によりLSI44を搭載、接続した。

【0160】図14は本実施例によって得られる薄膜多層配線基板を大型計算機用基板に用いた実装例を示す模式断面図で、大型プリント配線基板51上にピン挿入型

のモジュール基板52を搭載した一例である。

【0161】モジュール基板52は、ガラスセラミックスと銅層との多層焼結体からなり、下面に接続ピン53が設けられている。このモジュール基板52上に本発明になる薄膜多層配線基板54を形成して、はんだバンプ46によりLSI44が接続搭載されている。

【0162】本実施例の実装基板によれば、配線総数も約1/4に減らすことができ、配線密度を上げることができた。また、信号伝送速度を従来のものに比べて約1.5倍速くすることができる。

【0163】本発明による薄膜多層配線基板は、実装の高密度化と配線長の短縮による信号伝送の高速化を図ることができる。また、大型電子計算機用基板、ワークステーション用実装基板、ビデオカメラ等の小型電子機器用実装基板として優れている。

【0164】

【発明の効果】本発明によると、ビアホールを導体金属で充填しているにもかかわらず、その表面に次層の導体層を形成後も表面よりビアホール部が確認できる配線板を得ることができる。これにより、導体層をパターンニングする際の位置合わせを容易にかつ、精度良く行うことができる。また、ビアホールを金属で充填する本発明の配線板の製造方法においては、無電解めっきによるビアホール充填時に、表面導体に無電解めっき電位よりも貴な電位を印加することで、再現性良く、めっき膜厚を一定にコントロールすることができる。

【0165】本発明によると、無電解めっき方法でめっき厚みを高精度に制御することが可能となる。

【図面の簡単な説明】

【図1】本発明を穴又は溝への金属の充填に適用する場合の配置の一例を模式的に示した断面図。

【図2】穴又は溝充填の途中でめっき反応を停止させる場合の配置の一例を模式的に示した断面図。

【図3】被めっき体の表面に無電解めっきによって定め

られた膜厚のめっきを行う場合の配置の一例を模式的に示す図。

【図4】本発明による配線板の一例の断面模式図。

【図5】本発明による配線板の他の例の断面模式図。

【図6】本発明の無電解めっき方法のプロセスを示した断面模式図。

【図7】基板上に絶縁層と導体層を形成するプロセスの他の例を示す説明図。

【図8】無電解めっき装置の説明図。

【図9】本発明による薄膜多層配線基板の一例の断面模式図。

【図10】本発明のビアスタッド接続による薄膜多層基板の模式断面図。

【図11】本発明のビアスタッド接続型の薄膜2層配線基板の製造工程の一例を模式断面図で示すフロー図。

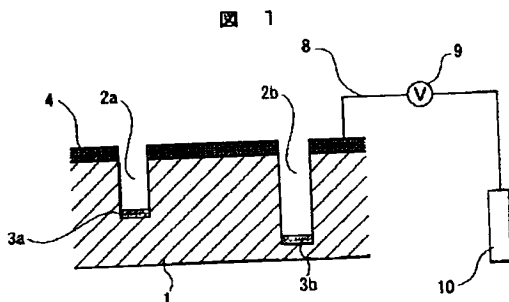
【図12】本発明の薄膜多層配線基板を用いた実装構造体の模式断面図。

【図13】本発明による大型電子計算機用基板の実装例を示す模式断面図。

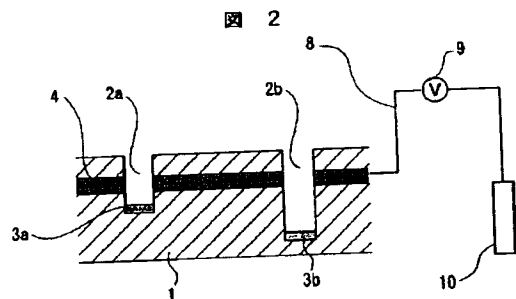
【符号の説明】

1…絶縁層、2、15…ビアホール、3、22…第1の導体、4、24…第2の導体、5…基板、6…エッチングレジスト、7、26…第4の導体、8…結線、9…外部電源、10…参照電極、11…めっき槽、12…無電解めっき液、15…めっき金属、21…絶縁基板、23、32…絶縁層、25…第3の導体、27…導体層、33…ビアスタッド、34…金属配線層、35…接続用スルーホール、36…レーザマスク、44…LSI、45…セラミックス基板、46…はんだバンプ、47…複合シート、48…接着層、49…ポリイミドシート、50…銅張り複合シート、51…大型プリント配線基板、52…モジュール基板、53…接続ピン、54…薄膜多層配線基板、55…スルーホール。

【図1】

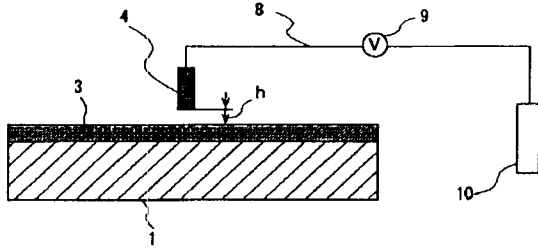


【図2】



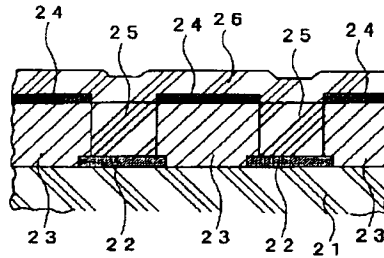
【図3】

図 3



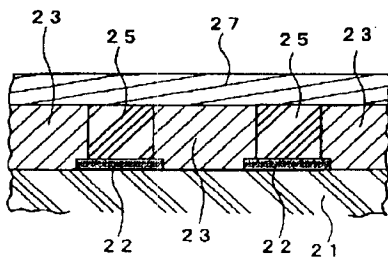
【図4】

図 4

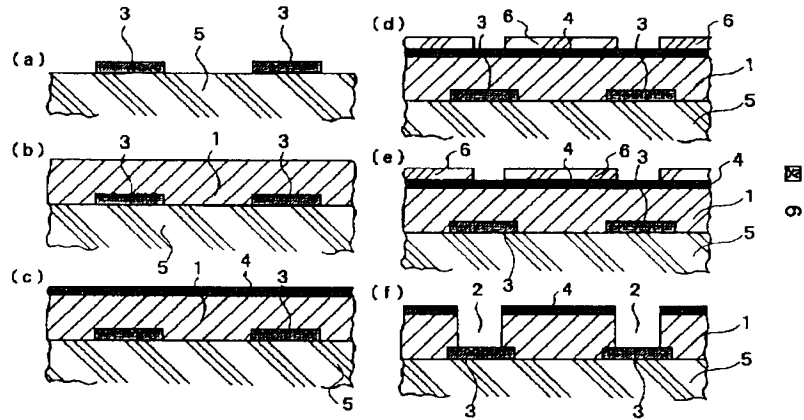


【図5】

図 5

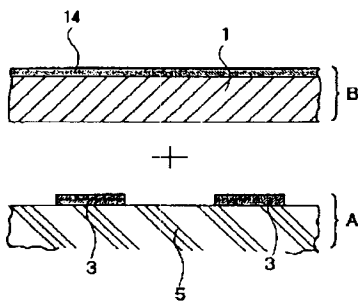


【図6】



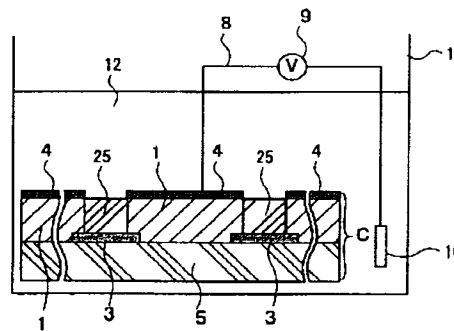
【図7】

図 7



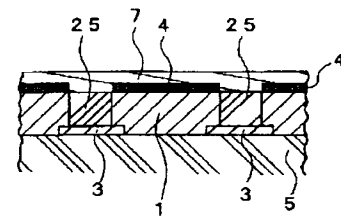
【図8】

図 8



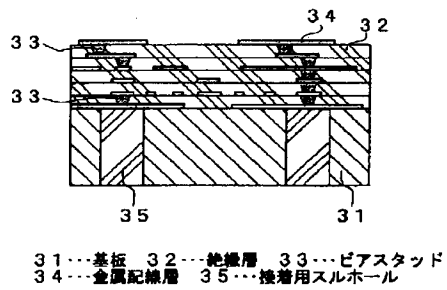
【図9】

図 9

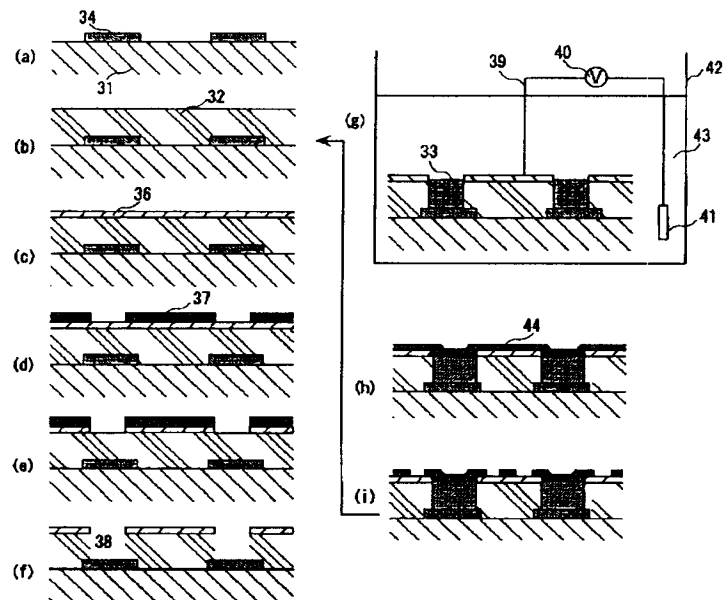


【図10】

図 10

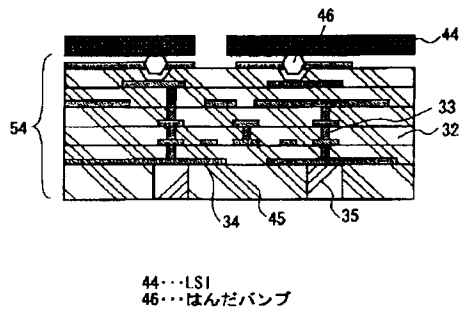


【図11】



【図12】

図 12



【図13】

図 13

